

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-013438

(43)Date of publication of application : 21.01.1994

(51)Int.Cl.

H01L 21/60

(21)Application number : 03-318761

(71)Applicant : NEC CORP

(22)Date of filing : 03.12.1991

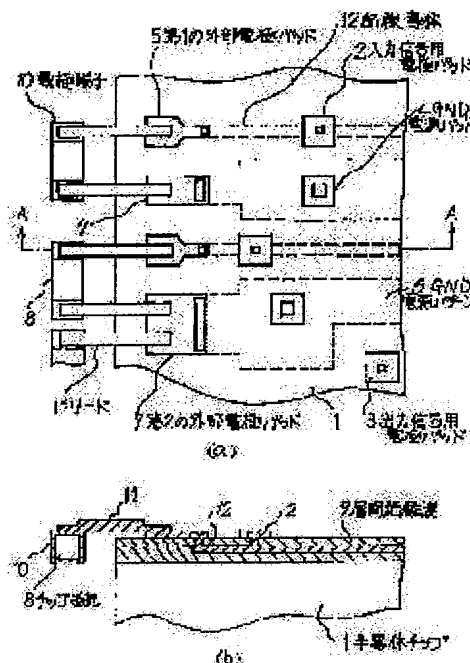
(72)Inventor : YABE KATSUHIKO

(54) SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To make it possible to provide high-speed operation, by forming an accurate terminating resistor for impedance matching when an ECL or CML circuit as a logical circuit is used.

CONSTITUTION: A semiconductor chip 1 has an input-signal electrode pad 2 and a power-supply pad 4, which are put at random on a main chip face thereof. A first electrode pad 5 and a second electrode pad 7 that are connected to the electrode pads 2 and 4 are provided around the semiconductor chip 1. A chip resistor 8 for terminating resistance is adjusted to a given value so that the chip resistor 8 becomes adequate for impedance matching. Then, the chip resistor 8 provided outside is connected between the first and second electrode pads 5 and 7.



LEGAL STATUS

[Date of request for examination]

04.12.1995

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

2677087

[Date of registration]

25.07.1997

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

25.07.2002

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平6-13438

(43)公開日 平成6年(1994)1月21日

(51)Int.Cl.⁵

H01L 21/60

識別記号

321 X

片内整理番号

6918-4M

FI

技術表示箇所

審査請求 未請求 請求項の数2(全 4 頁)

(21)出願番号 特願平3-318761

(22)出願日 平成3年(1991)12月3日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 矢部 勝彦

東京都港区芝五丁目7番1号日本電気株式
会社内

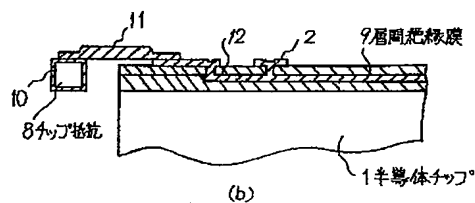
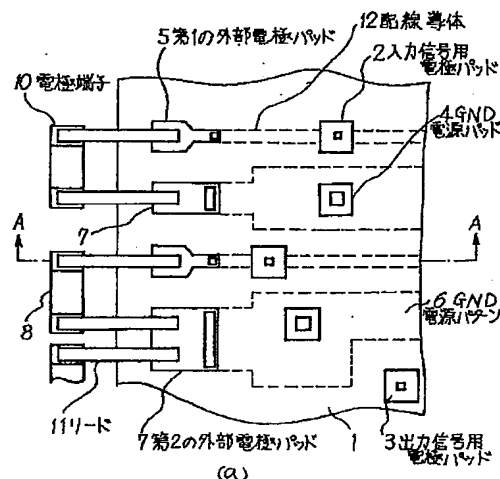
(74)代理人 弁理士 京本 直樹 (外2名)

(54)【発明の名称】 半導体集積回路

(57)【要約】

【目的】論理回路としてECL又はCML回路を使用する場合のインピーダンス整合の為の終端抵抗を高精度に構成し、高速演算を可能とする。

【構成】チップ主表面に散在させた入力信号用電極パッド2、電源パッド4を有する半導体チップ1の外周部に、電極パッド2、4に接続した第1及び第2の電極パッド5、7を設け、この間に、インピーダンス整合性を良くする値に調整されたチップ抵抗8を終端抵抗として外付けする。



【特許請求の範囲】

【請求項1】 素子が形成された半導体チップの外周部に設けられ入出力信号用電極パッドに配線導体により接続された第1の外部電極パッドと、この第1の外部電極パッドに隣接して設けられ電源用電極パッドに接続された第2の外部電極パッドと、前記第1の外部電極パッドと前記第2の外部電極パッドとの間に接続された外部接続端子付の抵抗体とを含むことを特徴とする半導体集積回路。

【請求項2】 抵抗体の抵抗値と入出力信号用電極パッドと第1の外部電極パッド間の配線導体の抵抗値の合計の値が規定の範囲内になるように抵抗体を選択されている請求項1記載の半導体集積回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は半導体集積回路に関し、特に高速演算回路を有する半導体集積回路に関する。

【0002】

【従来の技術】 近年電子計算機の発達により、半導体集積回路の高速演算回路に要求される演算速度の向上、高集積化の要請が増大している。高速演算を実現するのに半導体集積回路としてECL回路又はCML回路を使用する場合、インピーダンス整合のため高精度の抵抗値を有する終端抵抗を必要とする。

【0003】 従来この終端抵抗は、抵抗値のばらつきを小さくする為に、半導体集積回路を実装する多層配線基板もしくは、半導体チップを収容するチップキャリア等のパッケージ内に設けていた。（例えば特公昭63-004709号公報参照）。なお半導体チップ内に5%以下のばらつき範囲の50Ω程度の終端抵抗を形成する事は、抵抗のサイズを非常に大きくする必要があったり、規格内抵抗の歩留が非常に低下する為、実用上製造する事は非常に困難である。

【0004】

【発明が解決しようとする課題】 半導体集積回路を高密度に実装するための多層配線基板においては、終端抵抗を形成するのに必要な特別の領域を設けなければならないため、高密度化を阻害し性能を低下させるという問題がある。また、チップキャリア内に抵抗体を設ける場合、多数個の抵抗体を設ける事が出来ないため、半導体集積回路の全ての入出力端子（入力又は出力端子のいずれか全ての場合も）に対応して終端抵抗を設ける事は困難である。

【0005】 更に多層基板の場合でも、チップキャリアの場合でも、終端抵抗の取付け位置が半導体チップの入出力端近傍に設けられないため、インピーダンス整合性に限界を生じ、またノイズ等が増加し、高速演算に支障を起すという問題がある。

【0006】

【課題を解決するための手段】 本発明の半導体集積回路

は、素子が形成された半導体チップの外周部に設けられ入出力信号用電極パッドに配線導体により接続された第1の外部電極パッドと、この第1の外部電極パッドに隣接して設けられ電源用電極パッドに接続された第2の外部電極パッドと、前記第1の外部電極パッドと前記第2の外部電極パッドとの間に接続された外部接続端子付の抵抗体とを含むものである。

【0007】

【実施例】 次に本発明について図面を参照して説明する。図1(a)、(b)は本発明の第1の実施例を示す半導体集積回路の平面図及びA-A線断面図である。

【0008】 図1(a)、(b)に示すように半導体集積チップ1の主表面上には、入力信号用電極パッド2と出力信号用電極パッド3及びGND電源パッド4とが配置されている。また半導体チップ1の外周部には、配線導体12により入力信号用電極パッド2と電気的に接続された抵抗体接続用の第1の外部電極パッド5とGND電源パターン6に接続された抵抗体接続用の第2外部電極パッド7とが隣接して配置してある。一方半導体チップ1を使用して構成するシステムで必要とする入力インピーダンスに整合する様に、抵抗値を調整されたチップ抵抗8は、両端に電極端子10を有し、第1及び第2の外部電極パッド5、7との間にリード11で接続されている。

【0009】 以上の様に半導体集積回路を構成する事により、ECL又はCML回路で構成された半導体集積回路の入力端に高精度の終端抵抗が配置された事になり、高速演算に必要なインピーダンス整合を企てる事が出来る。なお抵抗体接続用第1の外部電極パッド5との接続を入力信号用電極パッドの代わりに出力信号用電極パッドに代えた場合でも同様である。

【0010】 図2(a)、(b)は本発明の第2の実施例を示す半導体集積回路の平面図及びB-B線断面図である。

【0011】 第1の実施例と同様の半導体チップ1Aを準備する。チップ1Aの外周部の第1及び第2の外部電極パッド5A、7Aに1:1に対応する様に配備したTABリード14を有するポリイミドテープ13上において、第1及び第2の外部電極パッド5A、7Aに対応するTABリード14の間に薄膜抵抗15を第1の実施例と同様に所望の抵抗値に対し高精度に形成する。更に半導体チップ1Aの外周部の各外部電極パッド5A、7Aとポリイミドテープ13上のTABリード14の先端を熱圧着で接続して、半導体集積回路を構成する。

【0012】 このように構成された第2の実施例においては、抵抗体として薄膜抵抗15を用いているため薄膜抵抗の抵抗値を5%以内のばらつきで容易に形成できると共に、半導体集積回路をより小さくできるという利点がある。

【0013】 次に第3の実施例を図3の断面図を用いて

説明する。第3の実施例は熱拡散板を用いる半導体集積回路に本発明を適用した場合である。

【0014】まず第1の実施例と同様の半導体チップ1Bを準備する。更に熱抵抗の低いAlN板17の外周部は絶縁膜18、抵抗体19電極メタライズ層20を形成した熱拡散板を準備する。次にAlN板17の抵抗体19が存在する面の中央部に、半導体チップ1Bの裏面をAu-Si16でダイマウントする。更に抵抗体19上の電極メタライズ層20と半導体チップ1B上の第1及び第2の外部電極5B、7Bを金又はAlのワイヤ21でワイヤボンディングする。以上の様にして半導体集積回路を構成する。

【0015】このように構成された第3の実施例においては、AlN板17の空いた領域に抵抗体19を設けることができるので、特に抵抗体による面積増加を考慮する必要はない。更に、表面平面化したAlN板を用いる事により、チップ1の反りをダイマウント後で吸収出来チップ1表面の平面度を改善出来、チップ主表面上の外部電極の実装性が高められる。

【0016】次に第4の実施例を図4の平面図を参照して説明する。

【0017】半導体チップ1Cの主表面上に配された入出力信号用電極パッド22(22a~22c)と、チップ外周部に配された抵抗体接続用の第1の外部電極パッド5(5a~5c)との間の配線23(23a~23c)の抵抗が、設計パターン上同一になる様にした半導体チップ1Cを準備する。この半導体チップ1Cと第1~第3の実施例で示した抵抗体を第1~第3の実施例の如くに接続して終端抵抗付半導体集積回路を構成する。

【0018】この場合入出力信号用電極パッド22a、22b、22cと、抵抗体接続用の第1の外部電極パッド5a、5b、5cを各々接続する配線23a、23b、23cは同一の抵抗値になる様、配線長、配線幅が設計されている。従ってこれら配線23a~23c各々の抵抗値と終端抵抗の抵抗値の合計の値はよりばらつきの少い(5%以内)値となるため、第1~第3の実施例のものに比べインピーダンス整合性がよく、歩留の高い半導体集積回路が得られる。

【0019】第1~第3の実施例においては、外付け抵抗の抵抗値を、チップ主表面上の入出力信号用電極パッドと抵抗体接続用の外部電極パッド間の配線抵抗との合計値で調整できるため、1ns以下のクロック周波数で

の高速演算で必要とされる5%以内でのインピーダンス整合が容易になる。

【0020】また第4の実施例においては、入出力信号用電極パッドと抵抗体接続用の外周部電極パッド間の配線抵抗ばらつきを5%以内にする事が容易である為、外付け抵抗の値を一定にする事が出来る。

【0021】

【発明の効果】以上説明したように本発明は、入出力信号用電極パッドと、電源用電極パッドの間に抵抗値のばらつきを高精度で抑えた外付け抵抗を具備する事により、インピーダンス整合を高精度で合せる事が出来、ECL又はCML回路を使用した高速演算が可能な半導体集積回路が得られるという効果を有する。

【図面の簡単な説明】

【図1】本発明の第1の実施例の平面図及び断面図。

【図2】本発明の第2の実施例の平面図及び断面図。

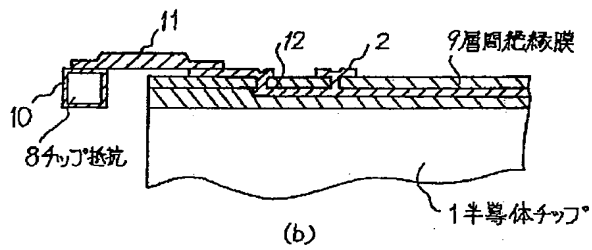
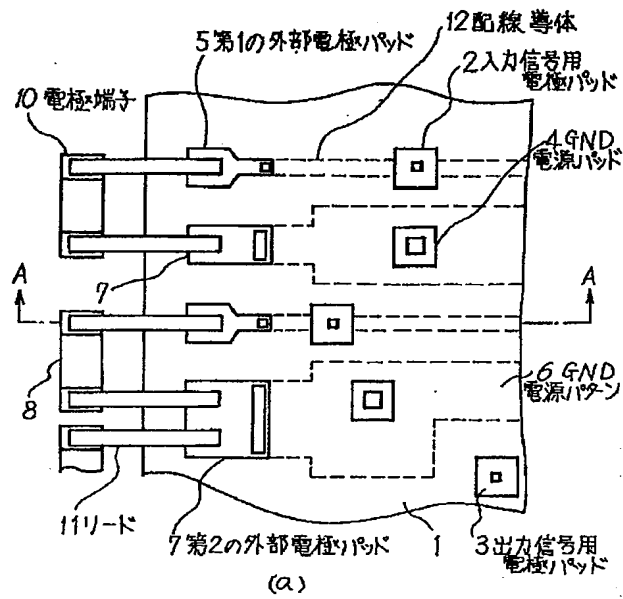
【図3】本発明の第3の実施例の断面図。

【図4】本発明の第4の実施例の平面図。

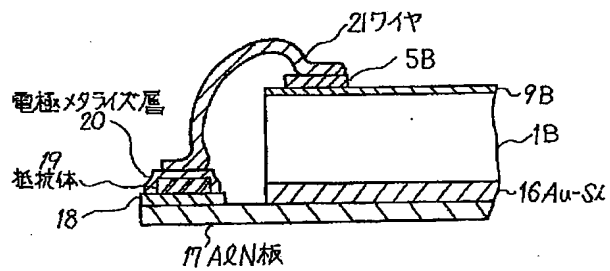
【符号の説明】

- | | |
|------------------|-------------|
| 1, 1A~1C | 半導体チップ |
| 2 | 入力信号用電極パッド |
| 3 | 出力信号用電極パッド |
| 4 | GND電源パッド |
| 5, 5A, 5B, 5a~5c | 第1の外部電極パッド |
| 6 | GND電源パターン |
| 7, 7A | 第2の外部電極パッド |
| 8 | チップ抵抗 |
| 9 | 層間絶縁膜 |
| 10 | 電極端子 |
| 11 | リード |
| 12 | 配線導体 |
| 13 | ポリイミドテープ |
| 14 | TABリード |
| 15 | 薄膜抵抗 |
| 16 | Au-Si |
| 17 | AlN板 |
| 18 | 絶縁膜 |
| 19 | 抵抗体 |
| 20 | 電極メタライズ層 |
| 21 | ワイヤ |
| 22 | 入出力信号用電極パッド |
| 23 | 配線 |

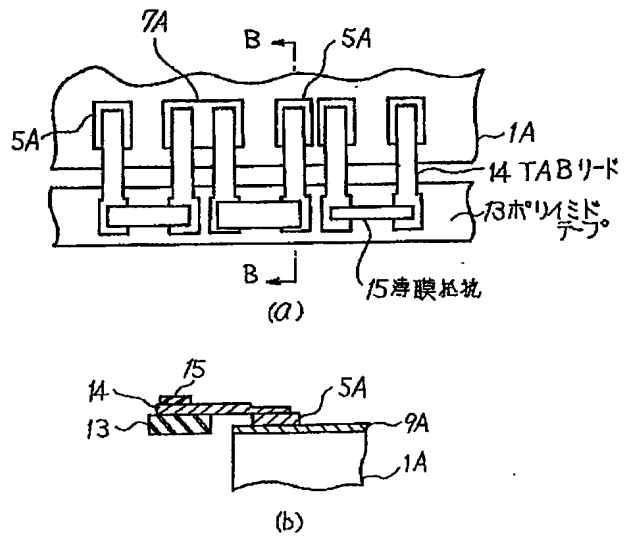
【図1】



【図3】



【図2】



【図4】

